

**(書誌+要約+請求の範囲)**

(19)【発行国】日本国特許庁(JP)  
 (12)【公報種別】公開特許公報(A)  
 (11)【公開番号】特開平10-73641  
 (43)【公開日】平成10年(1998)3月17日  
 (54)【発明の名称】テスト回路  
 (51)【国際特許分類第6版】

G01R 31/28  
 G06F 11/22 360  
 H01L 27/04  
 21/822

**【FI】**

G01R 31/28 G  
 G06F 11/22 360 P  
 G01R 31/28 V  
 H01L 27/04 T

【審査請求】未請求

【請求項の数】7

【出願形態】OL

【全頁数】15

(21)【出願番号】特願平8-229873

(22)【出願日】平成8年(1996)8月30日

(71)【出願人】

【識別番号】000006013

【氏名又は名称】三菱電機株式会社

【住所又は居所】東京都千代田区丸の内二丁目2番3号

(72)【発明者】

【氏名】大澤 徳哉

【住所又は居所】東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)【発明者】

【氏名】前野 秀史

【住所又は居所】東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)【代理人】

【弁理士】

【氏名又は名称】吉田 茂明 (外2名)

**(57)【要約】**

【課題】面積の利用効率の高いスキャンパスの構成を提供する。

【解決手段】通常動作ではシフトモード信号SMを“0”とし、セレクト10～12の“0”入力端に与えられる信号、すなわちロジック部80の出力がフリップフロップ30～31に伝達される。ロジック部80、81のロジックスキャンテストを行う際にはテストモード信号TESTを“1”とし、セレクト10～12とフリップフロップ30～32とがそれぞれ対をなして構成するスキャンフリップフロップを用いた、書き込みデータ数と同じビット数の単純なスキャンパスによって、通常のスキャンテストを行うことができる。通常動作時における書き込み用フリップフロップと、ロジックテストにおけるスキャンフリップフロップに用いられるフリップフロップとを兼用することができる。

**【特許請求の範囲】**

【請求項1】第1及び第2の回路との間に介在し、前記第1及び第2の回路に対して第1のテストを行うテスト回路であって、第1の回路に接続された入力端群及び出力端群を有する第3の回路と、前記第1の回路に接続された入力端群と、前記第3の回路の前記入力端群に接続された出力端群と、スキャン入力端子及びスキャン出力端子とを有するスキャンパスと、前記第3の回路の前記出力端群及び前記スキャンパスの前記出力端群を前記第2の回路に選択的に接続する第1の選択手段とを備えるテスト回路。

【請求項2】前記スキャンパスの出力端群に与えられた信号と、前記第3の回路に対する第2のテストを行う際に入力するテストデータとを、前記第3の回路に選択的に出力する第2の選択手段を更に備える、請求項1記載のテスト回路。

【請求項3】前記スキャンパスは前記第1の回路の出力と接続される第1の入力端子と、スキャン信号が伝搬するスキャン入力信号を入力とする第2の入力端子と、前記第3の回路の出力と接続される第3の入力端子と、出力端子とを備え、前記第1の入力端子からのデータと、前記第2の入力端子からのデータと、前記第3の入力端子からのデータとを入力し、これら3つのデータのいずれか1つを選択し、保持する機能を有するスキャンフリップフロップから構成される、請求項2記載のテスト回路。

【請求項4】前記スキャンパスは前記第1の回路の出力と接続される第1の入力端子と、スキャン入力信号を入力とする第2の入力端子と、出力端子と、前記第1の入力端子からのデータと前記第2の入力端子からのデータとを入力し、これらのデータのいずれか1つを選択し、保持する機能を有するスキャンフリップフロップと、前記スキャンフリップフロップの第2の入力端子に接続された出力端子と、前記出力端子に選択的に接続される第1及び第2の入力端子とを含む選択手段と、前記選択手段の前記第1の入力端子に出力する論理回路とを備え、前記論理回路は第3の回路の出力に接続し、前記選択手段が前記第2の入力端子を選択する場合には、前記論理回路と前記スキャンフリップフロップでMISR回路を構成し、スキャン信号は前記選択手段の前記第2の入力端子を伝搬する、請求項2記載のテスト回路。

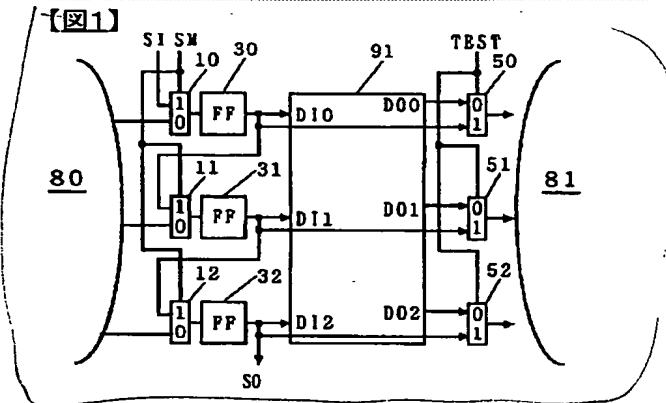
【請求項5】前記スキャンパスは前記第1の回路の出力と接続される第1の入力端子と、スキャン入力信号を入力とする第2の入力端子と、出力端子と、前記第1の入力端子からのデータと前記第2の入力端子からのデータとを入力し、これらのデータのいずれか1つを選択し、保持する機能を有するスキャンフリップフロップと、前記スキャンフリップフロップの第2の入力端子に接続された出力端子と、前記出力端子に選択的に接続される第1及び第2の入力端子とを含む選択手段と、前記選択手段の前記第1の入力端子に出力する論理回路とを備え、前記論理回路の各々は、自身に対応する前記スキャンフリップフロップの出力を保持するループを、前記選択手段とともに形成し、前記第3の回路の出力と期待値とを比較し前記第2のテスト結果が不良であれば前記スキャンフリップフロップに所定の論理を与え、スキャン信号は前記選択手段の前記第2の入力端子を伝搬する、請求項2記載のテスト回路。

【請求項6】前記第3の回路の前記出力端群を構成する出力端の個数は、前記第3の回路の前記入力端群を構成する入力端の個数よりも多く、前記第1の選択手段は前記第3の回路の前記出力端に対応して設けられるセレクトタによって構成され、前記スキャンパスの前記出力端群を構成する出力端の一つに対して、複数の前記セレクトタが接続される、請求項1記載のテスト回路。

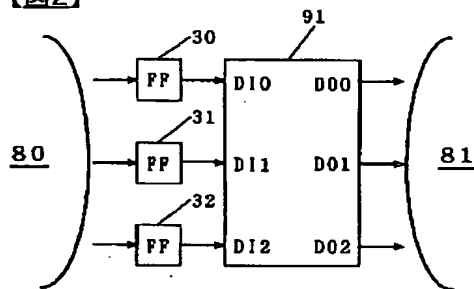
【請求項7】前記第3の回路の前記出力端が複数のグループに区分され、前記スキャンパスの前記出力端も前記複数のグループに対応して区分され、一の前記複数のグループに対応する前記スキャンパスの一の前記出力端には、前記一の前記複数のグループに属する前記第3の回路の前記出力端の複数の接続される、請求項6記載のテスト回路。

図面

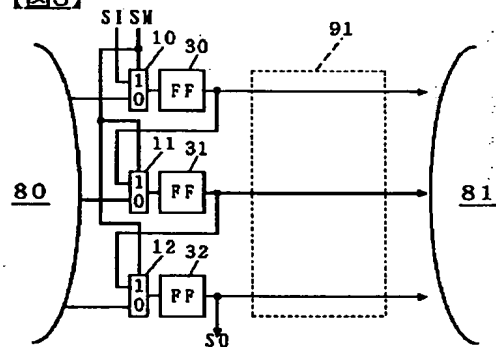
【図1】



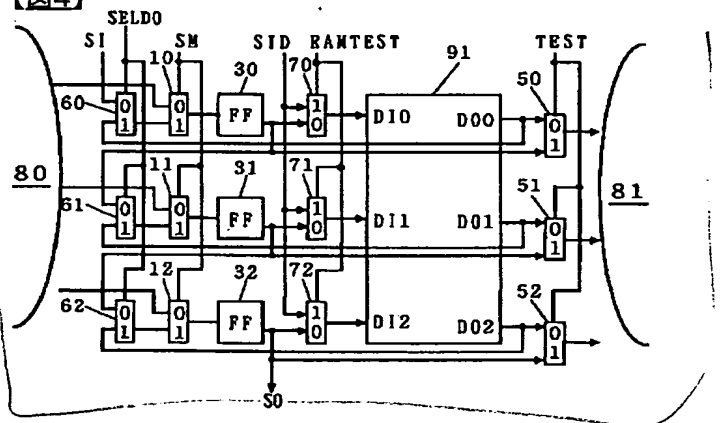
【図2】



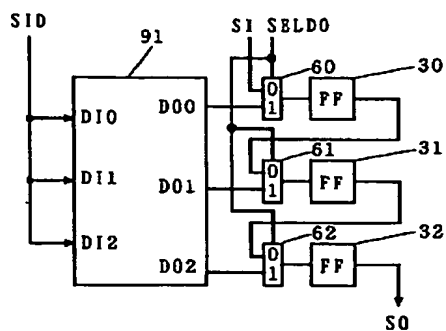
【図3】



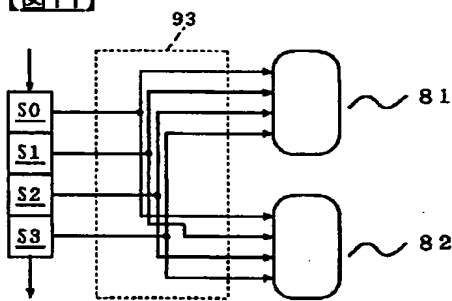
【図4】



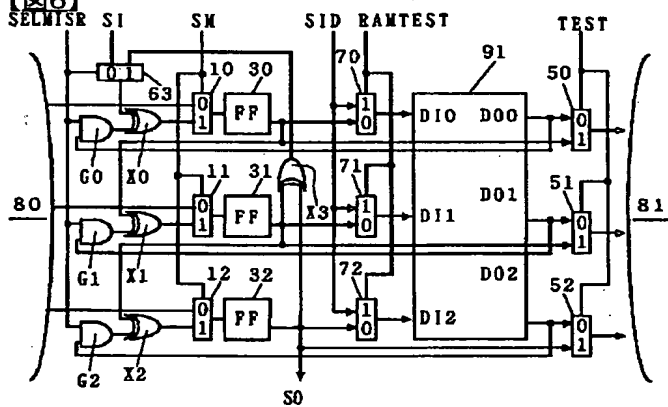
【図5】



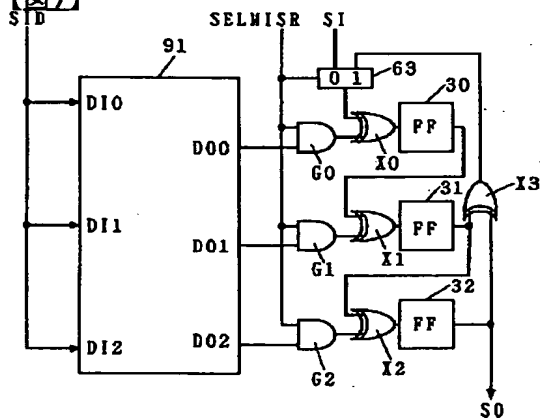
【図11】



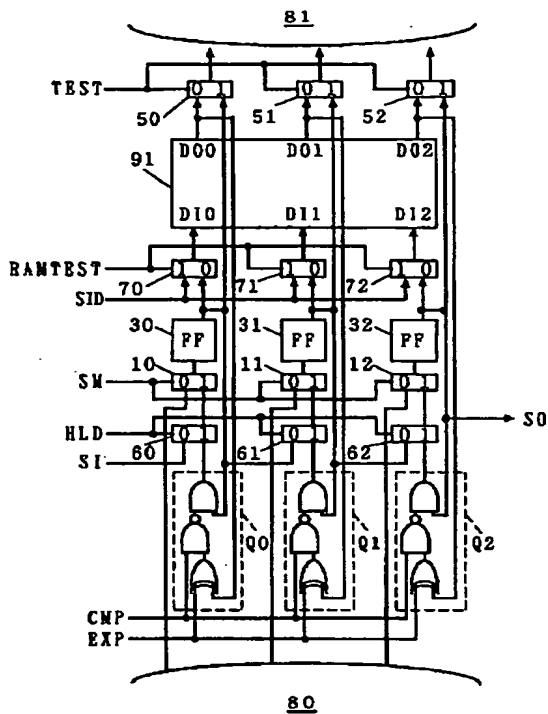
【図6】



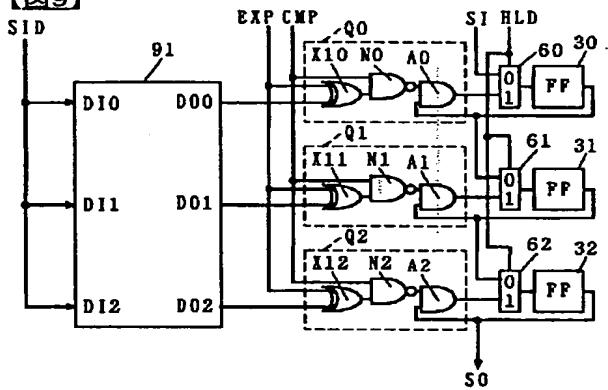
【図7】



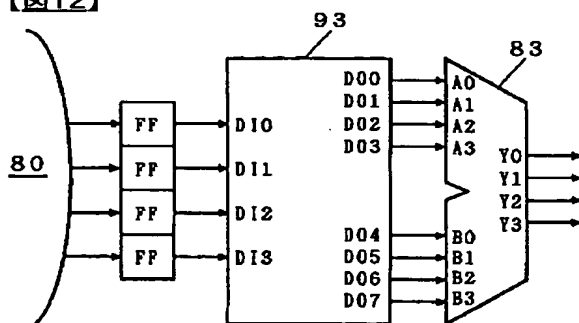
【図8】



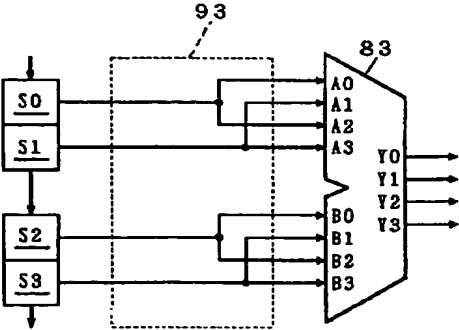
【図9】



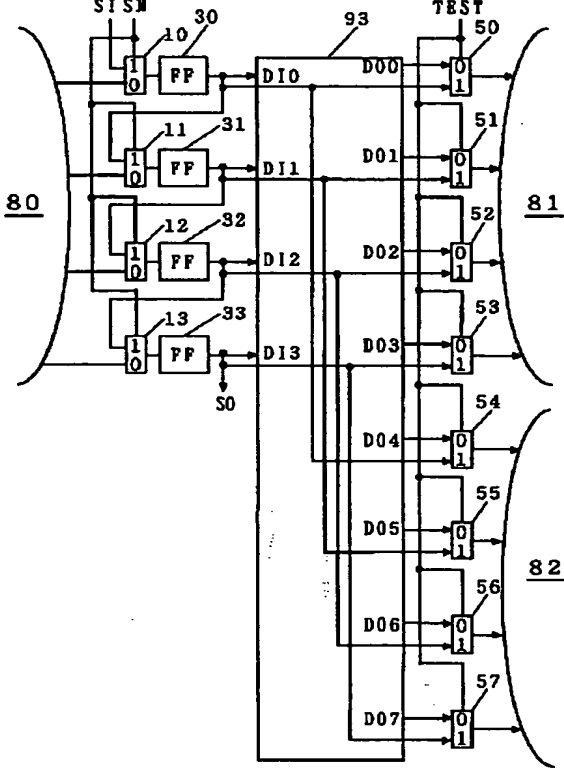
【図12】



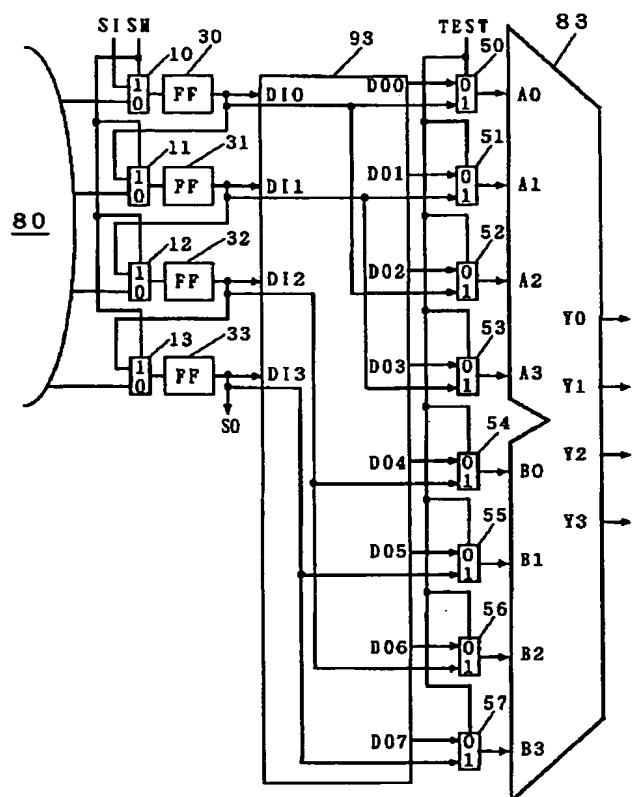
【図14】



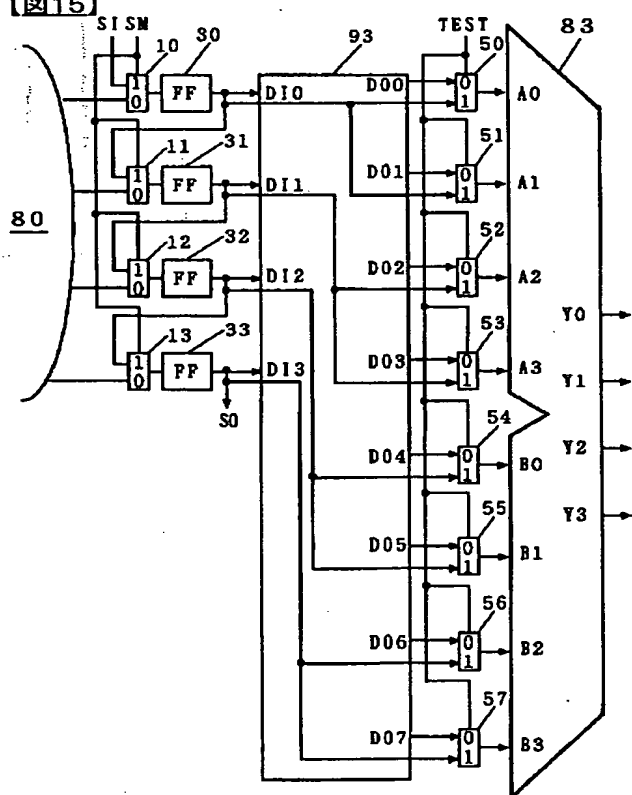
【図10】



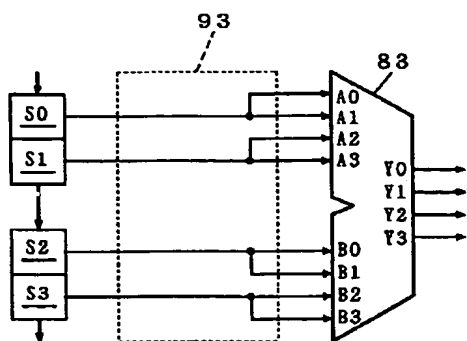
【図13】



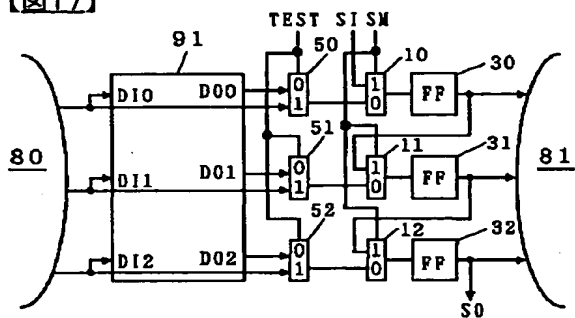
【図15】



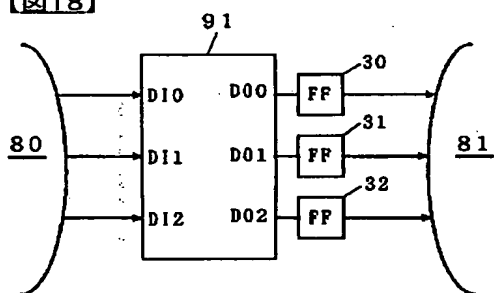
【図16】



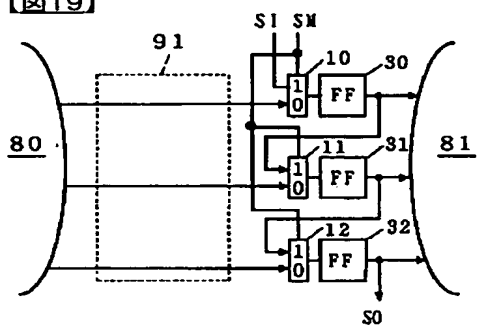
【図17】



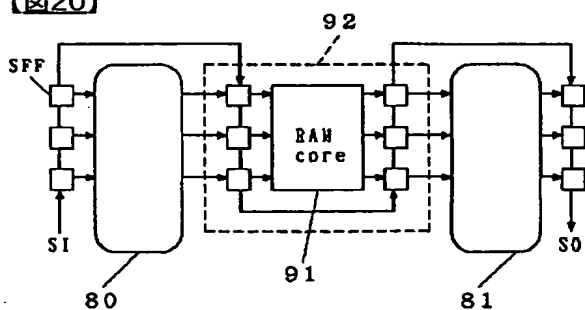
【図18】



【図19】

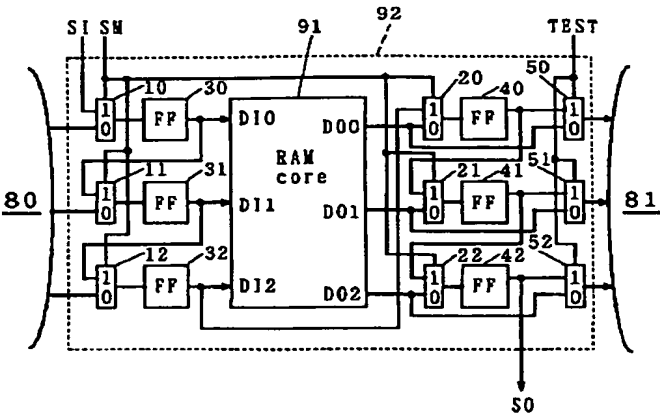


【図20】



【図21】





## 詳細な説明

### 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はスキャンパス、特に非同期RAMコアの周辺に設けられるスキャンパスに関する。

【0002】

【従来の技術】図20は従来よく用いられてきたRAMのテスト手法を示すブロック図である。テスト手法としてはスキャンテスト方式が用いられる。

【0003】半導体チップの内部に設けられるフリップフロップ(以下、図中において「FF」と表記する)をスキャンフリップフロップ(以下、図中において「SFF」と表記する)に置換し、スキャンフリップフロップによってスキャンパスが構成される。例えば図20では、ロジック部80、81、非同期式のRAMであるRAMコア91が同一のスキャンパスで囲まれる。スキャンパスはシリアルなスキャンイン信号SIとしてテストデータを受け、テストが実行された後、テスト結果はシリアルなスキャンアウト信号SOとして出力される。

【0004】図20では、非同期式であるRAMコア91の入力側、出力側のいずれにもスキャンフリップフロップが設けられており、これら全体としては書き込み動作および読み出し動作のいずれも同期式の(完全同期の)RAM92として扱うことができる。スキャンテスト時はスキャンフリップフロップが構成するスキャンパスをテストデータ及びテスト結果が伝搬する。

【0005】図21はRAM91周辺のスキャンパスの構成を詳しく示した回路図である。スキャンフリップフロップはシフトモード信号SMIによって入力を切り替えるセレクトとフリップフロップとの対で構成される。ロジック部80の出力(テスト結果)の格納／読み出しはRAM91の入力側に配置されたセレクト10およびフリップフロップ30の対、セレクト11およびフリップフロップ31の対、セレクト12およびフリップフロップ32の対で構成されるスキャンフリップフロップで行われる。また、ロジック部81の入力(テストパターン)の格納はRAM91の出力側に配置されたセレクト20およびフリップフロップ40の対、セレクト21およびフリップフロップ41の対、セレクト22およびフリップフロップ42の対で構成されるスキャンフリップフロップで行われる。

【0006】セレクト50～52は、テストモード信号TESTに基づいて、出力側のフリップフロップ40の出力と、RAMコア91の出力のいずれかを選択的に出力する。スキャンテスト実行時はテストモード信号TESTが“1”に設定され、通常動作時にはテストモード信号TESTは“1”または“0”に設定される。前者の場合にはRAM92が書き込み動作、読み出し動作が共に同期式として、後者の場合には書き込み動作が同期式で、読み出し動作が非同期式として機能する。

【0007】

【発明が解決しようとする課題】図21に示された構成では、RAM92を読み出し動作を非同期式として使用するとき(TE ST=0)、出力側のフリップフロップ40～42はテスト時にしか使用されないため、これらがエリアオーバーヘッドとなり、面積の利用効率が悪いという問題点があった。

【0008】本願はこのような問題点を解決するためのものであり、面積の利用効率の高いスキャンパスの構成を提供することを目的としている。

【0009】

【課題を解決するための手段】この発明のうち請求項1にかかるものは、第1及び第2の回路との間に介在し、前記第1及び第2の回路に対して第1のテストを行うテスト回路であって、第1の回路に接続された入力端群及び出力端群を有する第3の回路と、前記第1の回路に接続された入力端群と、前記第3の回路の前記入力端群に接続された出力端群と、スキャン入力端子及びスキャン出力端子とを有するスキャンパスと、前記第3の回路の前記出力端群及び前記スキャンパスの前記出力端群を前記第2の回路に選択的に接続する第1の選択手段とを備える。

【0010】この発明のうち請求項2にかかるものは、請求項1記載のテスト回路であって、前記スキャンパスの出力端群に与えられた信号と、前記第3の回路に対する第2のテストを行う際に入力するテストデータとを、前記第3の回路に選択的に出力する第2の選択手段を更に備える。

【0011】この発明のうち請求項3にかかるものは、請求項2記載のテスト回路であって、前記スキャンパスは前記第1の回路の出力と接続される第1の入力端子と、スキャン信号が伝搬するスキャン入力信号を入力とする第2の入力端子と、前記第3の回路の出力と接続される第3の入力端子と、出力端子とを備え、前記第1の入力端子からのデータと、前記第2の入力端子からのデータと、前記第3の入力端子からのデータとを入力し、これら3つのデータのいずれか1つを選択し、保持する機能を有するスキャンフリップフロップから構成される。

【0012】この発明のうち請求項4にかかるものは、請求項2記載のテスト回路であって、前記スキャンパスは前記第1の回路の出力と接続される第1の入力端子と、スキャン入力信号を入力とする第2の入力端子と、出力端子と、前記第1の入力端子からのデータと前記第2の入力端子からのデータとを入力し、これらのデータのいずれか1つを選択し、保持する機能を有するスキャンフリップフロップと、前記スキャンフリップフロップの第2の入力端子に接続された出力端子と、前記出力端子に選択的に接続される第1及び第2の入力端子とを含む選択手段と、前記選択手段の前記第1の入力端子に出力する論理回路とを備え、前記論理回路は第3の回路の出力に接続し、前記選択手段が前記第2の入力端子を選択する場合には、前記論理回路と前記スキャンフリップフロップでMISR回路を構成し、スキャン信号は前記選択手段の前記第2の入力端子を伝搬する。

【0013】この発明のうち請求項5にかかるものは、請求項2記載のテスト回路であって、前記スキャンパスは前記第1の回路の出力と接続される第1の入力端子と、スキャン入力信号を入力とする第2の入力端子と、出力端子と、前記第1の入力端子からのデータと前記第2の入力端子からのデータとを入力し、これらのデータのいずれか1つを選択し、保持する機能を有するスキャンフリップフロップと、前記スキャンフリップフロップの第2の入力端子に接続された出力端子と、前記出力端子に選択的に接続される第1及び第2の入力端子とを含む選択手段と、前記選択手段の前記第1の入力端子に出力する論理回路とを備え、前記論理回路の各々は、自身に対応する前記スキャンフリップフロップの出力を保持するループを、前記選択手段とともに形成し、前記第3の回路の出力と期待値とを比較し前記第2のテスト結果が不良であれば前記スキャンフリップフロップに所定の論理を与え、スキャン信号は前記選択手段の前記第2の入力端子を伝搬する。

【0014】この発明のうち請求項6にかかるものは、請求項1記載のテスト回路であって、前記第3の回路の前記出力端群を構成する出力端の個数は、前記第3の回路の前記入力端群を構成する入力端の個数よりも多く、前記第1の選択手段は前記第3の回路の前記出力端に対応して設けられるセレクトによって構成され、前記スキャンパスの前記出力端群を構成する出力端の一つに対して、複数の前記セレクトが接続される。

【0015】この発明のうち請求項7にかかるものは、請求項6記載のテスト回路であって、前記第3の回路の前記出力端が複数のグループに区分され、前記スキャンパスの前記出力端も前記複数のグループに対応して区分される。そして一の前記複数のグループに対応する前記スキャンパスの一の前記出力端には、前記一の前記複数のグループに属する前記第3の回路の前記出力端の複数のセレクトが接続される。

【0016】

## 【発明の実施の形態】

実施の形態1. 図1は本発明の実施の形態1を示す回路図である。ロジック部80からの出力はそれぞれセクタ10、11、12の第1入力端に与えられる。セクタ10の第2入力端にはスキャンイン信号SIが与えられ、セクタ10の出力端にはフリップフロップ30の入力端が接続される。セクタ11の第2入力端にはフリップフロップ30の出力端が接続され、セクタ11の出力端にはフリップフロップ31の入力端が接続される。セクタ12の第2入力端にはフリップフロップ31の出力端が接続され、セクタ12の出力端にはフリップフロップ32の入力端が接続される。フリップフロップ32の出力端はスキャンアウト信号SOを出力する。セクタ10～12はそれぞれフリップフロップ30～32と対をなして、スキャンフリップフロップを構成する。

【0017】セクタ10～12のいずれにもシフトモード信号SMが与えられ、その値の“0”/“1”に対応して、それぞれのセクタ10～12が自身の第1及び第2入力端に与えられた信号を出力する。以降、セクタの動作を制御する信号の値が“0”/“1”を採る場合に、自身の出力端に伝達する信号を受ける入力端をそれぞれ“0”入力端、“1”入力端と称することにする。

【0018】RAMコア91の入力端DIO～DI2にはそれぞれフリップフロップ30～32の出力端が接続される。またRAMコア91の出力端DO0～DO2にはそれぞれセクタ50～52の“0”入力端が接続される。セクタ50～52の“1”入力端にはそれぞれフリップフロップ30～32の出力端が接続される。セクタ50～52の出力端はロジック部81に接続される。セクタ50～52は、そのいずれにも与えられるテストモード信号TESTによって動作が制御される。

【0019】表1に、図1の各信号の値と、動作モードの関係をまとめた。

【0020】

【表1】

	通常動作	ロジックスキャンテスト	
		スキャン	テスト
SI	DC	テストデータ	DC
TEST	0	1	1
SM	0	1	0

DC: Don't Care

【0021】通常動作では、シフトモード信号SMを“0”とするので、セクタ10～12の“0”入力端に与えられる信号、すなわちロジック部80の出力がフリップフロップ30～31に伝達される。従って、セクタ10～12の“1”入力端を伝達する信号、すなわちスキャンイン信号SIはその値がどのようなであっても良い(Don't Care)。また、テストモード信号TESTを“0”とするので、ロジック部81にはRAMコア91の出力端DO0～DO2から得られる信号が伝達される。

【0022】図2は、図1に示された回路の、通常動作における等価的な構成を示す回路図である。ロジック部80の出力がフリップフロップ30～32を介してRAMコア91に入力し、RAMコア91の出力がロジック部81に与えられる。つまり図1に示された回路は、通常動作においては同期式の書き込み、非同期式の読み出しが行われる。

【0023】図3は、図1に示された回路の、ロジックスキャンテストにおける等価的な構成を示す回路図である。ロジック部80、81のロジックスキャンテストを行う際には、テストモード信号TESTを“1”とする。セクタ50～52の“1”入力端に与えられる信号がロジック部81に伝達されるので、フリップフロップ30～32の出力がロジック部81に与えられる。よってセクタ50～52の“0”入力端に与えられるRAMコア91の出力はロジックスキャンテストには関与しない。よって、ロジック部80の出力がフリップフロップ30～32を介してロジック部81に与えられる。

【0024】つまりセクタ10～12とフリップフロップ30～32とがそれぞれ対をなして構成するスキャンフリップフロップを用いた、書き込みデータ数と同じビット数の単純なスキャンパスによって、通常のスキャンテストを行うことができる。まずスキャンイン信号SIとしてテストデータを用い、シフトモード信号SMを“1”とする(表1における「スキャン時」の欄)。これによってフリップフロップ30～32にテストデータを格納する。この後にシフトモード信号SMを“0”とする(表1における「テスト時」の欄)。これによってロジック部80の出力がフリップフロップ30～32に格納され、テストデータはロジック部81へと入力される。この「テスト時」には、セクタ10の“1”入力端に与えられるスキャンイン信号SIはその値がどのようなであっても良い。

【0025】以上のように本実施の形態によれば、通常動作時における書き込み用フリップフロップと、ロジックテストにおけるスキャンフリップフロップに用いられるフリップフロップとを兼用することができる。従って、従来、読み出しポートに接続されていたスキャンパス(セクタ20～22及びフリップフロップ40～42で構成されていたもの)を省略するので、エリアオーバーヘッドが改善される。また、スキャンパスはRAMコア91の入力側だけに存在するので、データをシフトすべき段数が減り、テスト時間が改善されという効果もある。

【0026】実施の形態2) 本実施の形態は実施の形態1で示された回路に、RAMコア91をテストするモードを実行できるように2種類のセクタを追加したものを示す。

【0027】図4は本発明の実施の形態2を示す回路図である。第1種類目のセクタはロジック部80とセクタ10～12との間に設けられるセクタ60～62であり、第2種類目のセクタはフリップフロップ30～32とRAMコア91との間に設けられるセクタ70～72である。

【0028】セクタ60～62はいずれも出力選択信号SELDOによってその動作が制御される。また、セクタ70～72はRAMテスト信号RAMTESTによってその動作が制御される。

【0029】セクタ60～62の出力がそれぞれセクタ10～12の“1”入力端に与えられる。フリップフロップ30の出力端はセクタ61の“0”入力端に接続され、これを介して間接的にセクタ11の“1”入力端に接続される。また、フリップフロップ31の出力端はセクタ12の“1”入力端ではなく、セクタ62の“0”入力端に接続される。スキャンイン信号SIはセクタ10の“1”入力端ではなく、セクタ60の“0”入力端に与えられる。セクタ60～62の“1”入力端にはそれぞれRAMコア91の出力端DO0～DO2に接続される。

【0030】セクタ70～72の出力端はそれぞれRAMコア91の入力端DIO～DI2に接続される。フリップフロップ30～32の出力端はそれぞれセクタ70～72の“0”入力端に接続され、これらを介して間接的にRAMコア91の入力端DIO～DI2に接続される。セクタ70～72の“1”入力端にはRAMテストデータSIDが与えられる。

【0031】RAMテストデータSID及び出力選択信号SELDOは、RAMテストにおいてのみ有効に機能し、これらの信号は、RAMテスト実行時にチップ外部のテストや内蔵のRAM用セルフ・テスト回路より得られる。

【0032】表2に、図4の各信号の値と、動作モードの関係をまとめた。

【0033】

【表2】

	通常動作	ロジック スキャンテスト	RAMテスト	
			テスト実行	結果出力
SI	DC	スキャン時 テストデータ テスト時 DC	DC	DC
TEST	0	1	DC	DC
SM	0	スキャン時 1 テスト時 0	1	1
RAMTEST	0	0	1	1
SELDO	0	0	1	0
SID	DC	DC	書込データ	DC

DC: Don't Care

【0034】通常動作、及びロジックスキャンテストにおいては、RAMテスト信号RAMTEST及び出力選択信号SELDOのいずれも“0”とする。これにより、図4に示された回路の等価的な構成は図1で表すことができる。つまり、実施の形態1と同じ動作を行うことができる。

【0035】図5は、図4に示された回路の、RAMテストにおける等価的な構成を示す回路図である。RAMテストを行う場合には、シフトモード信号SM及びRAMテスト信号RAMTESTをいずれも“1”にする。テストモード信号TESTは“0”／“1”いずれでもよい。RAMテストにおいてはセクタ50～52の機能は関係しないので、図5ではセクタ50～52に関する接続を省略している。

【0036】セクタ70～72はそれぞれ“0”入力端に与えられるRAMテストデータSIDをRAMコア91の入力端DIO～DI2に与え、セクタ10～12はそれぞれの“1”入力端に与えられるセクタ60～62の出力をフリップフロップ30～32に与える。

【0037】従って、通常動作時にはRAMコア91の書き込みに用いられていたフリップフロップ30～32が、RAMテストではRAMコア91の出力を受け、RAMコア91から読み出されるテスト結果をスキャン出力する機能を果たす。

【0038】具体的なRAMテストの手順は以下の通りである。まず■RAMテストデータSIDを(例えば値“0”にして)全アドレスに書き込みデータを書き込む。次に■RAMコア91のデータを読み出す。この時、出力選択信号SELDOを“1”にし、読み出されたデータをフリップフロップ30～32に取り込む。ここまでの動作が表2の「テスト実行」の欄に対応している。そして■出力選択信号SELDOを“0”にし、テスト結果、即ちフリップフロップ30～32に格納された値を順次シフトさせ、スキャンアウト信号SOとして取り出す(表2の「結果出力」の欄)。上記■の動作を全てのアドレスに対して実行すればRAMコア91の全てのアドレスに関してテストを行うことができる。

【0039】セクタに必要な面積はフリップフロップを構成するのに必要な面積と比較して小さいので、実施の形態1と比較して2種類のセクタが追加されても、エリアオーバーヘッドが改善される効果がある。勿論、スキャンパスのシフト段数が減るので、ロジックテストに必要な時間が改善されるのみならず、RAMのテスト時間も通常のスキャンテストを行った場合と比べて大幅に改善される。

【0040】実施の形態3) 本実施の形態も実施の形態2と同様に、RAMコア91をテストするモードを実行できるようにした回路を示す。特にフリップフロップ30～32に読み出されたデータが圧縮されることを特徴とする。

【0041】図6は本発明の実施の形態3を示す回路図である。実施の形態2におけるセクタ60がANDゲートG0とXORゲートX0の対に、セクタ61がANDゲートG1とXORゲートX1の対に、セクタ62がANDゲートG2とXORゲートX2の対に、それぞれ置換され、更に圧縮選択信号SELMISRによって動作が制御されるセクタ63及びXORゲート63が追加された構成が示されている。

【0042】ANDゲートG0～G2の一方の入力端にはいずれも圧縮選択信号SELMISRが与えられる。またANDゲートG0～G2の出力端はそれぞれXORゲートX0～X2の一方の入力端に接続される。

【0043】RAMコア91の出力端DO0～DO2はセクタ60～62の“1”入力端に接続される代わりに、それぞれANDゲートG0～G2の他方の入力端に接続される。また、フリップフロップ30, 31の出力はセクタ61, 62の“0”入力端に接続される代わりに、それぞれXORゲートX1, X2の他方の入力端に与えられる。XORゲートX0の他方の入力端にはセクタ63の出力が与えられる。

【0044】セクタ63の“0”入力端にはスキャンイン信号SIが、“1”入力端にはXORゲートX3の出力が、それぞれ与えられる。XORゲートX3にはフリップフロップ31, 32の出力が与えられる。

【0045】セクタ10～12の“1”入力端はセクタ60～62の出力を受ける代わりに、それぞれXORゲートX0～X2の出力を受ける。

【0046】RAMテストデータSID及び圧縮選択信号SELMISRは、RAMテストにおいてのみ有効に機能し、これらの信号は、RAMテスト実行時にチップ外部のテストや内蔵のRAM用セルフ・テスト回路より得られる。

【0047】表3に、図6の各信号の値と、動作モードの関係をまとめた。

【0048】

【表3】

	通常動作	ロジック スキャンテスト	RAMテスト	
			初期設定 結果出力	テスト実行
SI	DC	スキャン時 テストデータ	DC	DC
		テスト時 DC		
TEST	0	1	DC	DC
SM	0	スキャン時 1	1	1
		テスト時 0		
RAMTEST	0	0	1	1
SELMISR	0	0	0	0 → 1
SID	DC	DC	DC	書込データ

DC: Don't Care

【0049】通常動作、及びロジックスキャンテストにおいては、RAMテスト信号RAMTEST及び圧縮選択信号SELMISRのいずれも“0”とする。これによりセクタ70～72はそれぞれフリップフロップ30～32の出力をRAMコア91の入力端DIO～DI2に与え、セクタ63はスキャンイン信号SIをXORゲートX0Iに与える。一方、ANDゲートG0～G2は“0”を出力するので、XORゲートX0～X2はそれぞれの他方の入力端に与えられる信号を論理をそのままにして伝達し、結局セクタ10～12の“1”入力端には、それぞれスキャンイン信号SI、フリップフロップ30、31の出力が与えられることとなる。つまり、図6に示された回路の等価的な構成は図1で表すことができ、実施の形態1と同じ動作を行うことができる。【0050】図7は、図6に示された回路の、RAMテストにおける等価的な構成を示す回路図である。RAMテストを行う場合には、シフトモード信号SM及びRAMテスト信号RAMTESTをいずれも“1”にする。テストモード信号TESTは“0”/“1”いずれでもよい。RAMテストにおいてはセクタ50～52の機能は関係ないので、図7ではセクタ50～52に関する接続を省略している。

【0051】シフトモード信号SMが“1”であるのでフリップフロップ30～32の入力端にはそれぞれXORゲートX0～X2の出力が与えられる。また、RAMテスト信号RAMTESTが“1”であるのでRAMテストデータSIDがRAMコア91の入力端DIO～DI2に与えられる。

【0052】実施の形態2と同様に、通常動作時にはRAMコア91の書き込みに用いられていたフリップフロップ30～32が、RAMテストではRAMコア91の出力を受け、RAMコア91から読み出されるテスト結果を出力する機能を果たす。但し、実施の形態2ではアドレス毎にテスト結果をシフトアウトする必要があったが、本実施の形態では、全アドレスに対してテストを行った後、テスト結果をシフトすることとなる。

【0053】具体的なRAMテストの手順は以下の通りである。まず■圧縮選択信号SELMISRを“0”に、スキャンイン信号SIを例えば“0”に設定する。これによってフリップフロップ30～32を全て“0”に初期設定する。ここまでの動作が表3の「初期設定」の欄に対応している。次に■圧縮選択信号SELMISR、スキャンイン信号SIを共に“0”に設定したまま、RAMテストデータSIDを例えば“0”に設定し、RAMコア91の全アドレスに“0”を書き込む。そして■圧縮選択信号SELMISRを“1”にして全アドレスに対して読み出し動作を行う。ここまでの動作が表3の「テスト実行」の欄に対応している。セクタ63はXORゲートX3の出力をXORゲートX0の他方の入力端に伝達し、ゲートG0～G2はそれぞれRAMコア91の出力をXORゲートX0～X2に伝達するので、XORゲートX0～X3及びフリップフロップ30～32は多入力データ圧縮回路としてよく用いられている多入力シグニチャレジスタ(MISR: Multi Input Shift Register)回路を構成することになる。RAMコア91から出力されたデータはこのMISR回路に取り込まれて圧縮される。

【0054】そして■再度圧縮選択信号SELMISRを“0”にすることにより、テスト結果がスキャンアウト信号SOとしてシフトされつつ得られる(表3の「結果出力」の欄)。

【0055】以上のように、本実施の形態によれば、実施の形態2と同様にRAMテストを行える上、MISR回路を採用したので、テスト結果を圧縮してテストに必要な時間を短縮することができる。

【0056】実施の形態4。本実施の形態も実施の形態3と同様に、RAMコア91をテストした結果を圧縮することができる回路を示す。

【0057】図8は本発明の実施の形態4を示す回路図である。実施の形態2において示された回路にゲート群Q0～Q2が追加され、RAMコア91の出力端DO0～DO2はこれらを介してそれぞれセクタ60～62の“1”入力端に接続される。

【0058】ゲート群Q0～Q2はいずれも期待信号EXP、比較制御信号CMPを入力する。また、ゲート群Q0～Q2はそれぞれフリップフロップ30～32の出力を受け、それぞれセクタ60～62の“1”入力端に出力する。

【0059】また、セクタ60～62は実施の形態2においては出力選択信号SELDOによって動作が制御されていたが、本実施の形態においてはホールド信号HLDによって動作が制御される。

【0060】期待信号EXP、比較制御信号CMP、ホールド信号HLD及びRAMテストデータSIDは、RAMテストにおいてのみ有効に機能し、これらの信号は、RAMテスト実行時にチップ外部のテストや内蔵のRAM用セルフ・テスト回路より得られる。

【0061】表4に、図8の各信号の値と、動作モードの関係をまとめた。

【0062】

【表4】

	通常動作	ロジック スキャンテスト	RAMテスト	
			初期設定 結果出力	テスト実行
SI	DC	スキャン時 テストデータ テスト時 DC	DC	DC
TEST	0	1	DC	DC
SM	0	スキャン時 1 テスト時 0	1	1
RAMTEST	0	0	1	1
EXP	DC	DC	DC	DC → 期待値
CMP	DC	DC	0	0 → 1
HLD	0	0	0	1
SID	DC	DC	DC	書き込みデータ

DC: Don't Care

【0063】通常動作、及びロジックスキャンテストにおいては、RAMテスト信号RAMTEST及びホールド信号HLDのいずれも“0”とする。これによりセクタ70～72はそれぞれフリップフロップ30～32の出力をRAMコア91の入力端DI0～DI2に与え、セクタ60はスキャンイン信号SIをセクタ10の“1”入力端に与え、セクタ61、62はそれぞれフリップフロップ30、31の出力をセクタ11、12の“1”入力端に与える。つまり、図8に示された回路の等価的な構成は図1で表すことができ、実施の形態1と同じ動作を行うことができる。

【0064】図9は、図8に示された回路の、RAMテストにおける等価的な構成を示す回路図である。RAMテストを行う場合には、シフトモード信号SM及びRAMテスト信号RAMTESTをいずれも“1”にする。テストモード信号TESTは“0”/“1”いずれでもよい。RAMテストにおいてはセクタ50～52の機能は関係ないので、図9ではセクタ50～52に関する接続を省略している。

【0065】シフトモード信号SMが“1”であるのでフリップフロップ30～32の入力端にはそれぞれセクタ60～62の出力が与えられる。また、RAMテスト信号RAMTESTが“1”であるのでRAMテストデータSIDがRAMコア91の入力端DI0～DI2に与えられる。

【0066】ゲート群Qi(i=0～2)はそれぞれXORゲートX1i、NANDゲートNi及びANDゲートAiから構成されている。XORゲートX1iの一方の入力端にはRAMコア91の出力端DOiが接続され、他方の入力端には期待信号EXPが与えられる。NANDゲートNiの一方の入力端にはXORゲートX1iの出力及び比較制御信号CMPが与えられる。そしてANDゲートAiの一方の入力端にはNANDゲートNiの出力及びフリップフロップ3iの出力が与えられ、ANDゲートAiはセクタ6iの“1”入力端へと出力する。

【0067】このように、本実施の形態ではRAMコア91の出力端DOi毎に独立して、ゲート群Qi、セクタ6i、フリップフロップ3iからなる圧縮回路が設けられているので、テスト結果から故障箇所を特定することができる。

【0068】具体的なRAMテストの手順は以下の通りである。まず■ホールド信号HLDを“0”に設定してセクタ60～62とフリップフロップ30～32とが交互に直列に接続されたパスを形成する。ここでスキャンイン信号SIを例えば“1”に設定し、フリップフロップ30～32を全て“1”に初期設定する。ここまでの動作が表4の「初期設定」の欄に対応している。次に■ホールド信号HLDを“1”に設定して、ANDゲートAi、セクタ6i、フリップフロップ3iでループを形成する。このとき比較制御信号CMPを“0”に設定しておくことでNANDゲートNiは常に“1”を出力し、フリップフロップ3iの論理“1”がホールドされる。その一方、RAMテストデータSIDとして書き込みデータ(例えば“0”)を与え、RAMコア91の全てのアドレスに“0”を書き込む。そして■ホールド信号HLDを“1”に設定したまま、比較制御信号CMPを“1”にする。このときまでに期待信号EXPには期待値“0”を与えておき、RAMコア91の読み出し動作を行う。

【0069】例えば出力端DO0に関してみれば、ここに読み出されたデータはXORゲートX10において期待値EXPと比較され、両者が同一か否かが判断される。その結果はNANDゲートN0によって反転されてANDゲートA0へと与えられる。読み出されたデータが期待値“0”と等しければANDゲートA0はフリップフロップ30に記憶されたデータと同じ論理“1”をセクタ60に与えるので、フリップフロップ30の値は“1”のままである。

【0070】一方、読み出されたデータが期待値と異なればANDゲートA0は常に“0”を出力するので、一旦出力端DO0において故障が発見されれば、フリップフロップ30には“0”が記憶されることとなる。他の出力端DO1、DO2に関しても同様である。ここまでの動作が表4の「テスト実行」の欄に対応している。

【0071】ついで■ホールド信号HLDを“0”に比較制御信号CMPを“0”にすることにより、テスト実行時にフリップフロップ30～32に格納された値がその論理を保ちつつ、スキャンアウト信号SOとしてシフトされて得られる。そして正常ビットに関しては“1”が、故障ビットに対しては“0”が検出される(表4の「結果出力」の欄)。

【0072】このように、本実施の形態ではテスト結果がビット毎に圧縮されるので、故障箇所を特定することができるという効果が更に得られる。

【0073】実施の形態5、上記実施の形態1乃至実施の形態4に示された構成を変形することにより、書き込みポート数が読み出しポート数よりも少ないRAMに対しても適用することができる。

【0074】図10は本実施の形態5を示す回路図である。RAMコア93は、1つの書き込みポート群(入力端)DI0～DI3と、第1の読み出しポート群(出力端)DO0～DO3と、第2の読み出しポート群(出力端)DO4～DO5を有しており、いわゆる“1 write 2 read RAM(1w2rRAM)”である。

【0075】このように出力端の数が入力端の数よりも多いRAMコア93に対して、実施の形態1乃至実施の形態4に示された回路をそのまま用い、出力端に接続されるロジック部に対してRAMコア93をバイパスして信号を与えようとしても、書き込みに用いられていたフリップフロップの数が足りない。つまり、第1の読み出しポート群DO0～DO3と、第2の読み出しポート群DO4～DO5のいずれか一方に対してしか実施の形態1乃至実施の形態4の動作を行うことができない。

【0076】図10では実施の形態1に示された構成を変形したものが示されている。ロジック部80からの出力はセクタ1j(j=0～3)の“0”入力端に与えられ、セクタ1jの出力はフリップフロップ3jの入力端に与えられる。セクタ10の“1”入力端にはスキャンイン信号SIが与えられ、セクタ11～13の“1”入力端にはそれぞれフリップフロップ30～32の出力が与えられる。セクタ1jの動作はいずれもシフトモード信号SMによって制御される。

【0077】フリップフロップ3jの出力はRAMコア93の入力端DIjに与えられる。また、セクタ5j、5(j+4)の“1”入力端に

も与えられる。セクタ5j, 5(j+4)はいずれもその動作がテストモード信号TESTによって制御され、その“0”入力端にはRAMコア93の出力端DOj, DO(j+4)が接続されている。セクタ50~53の出力はロジック部81に、セクタ54~57の出力はロジック部82に、それぞれ与えられる。

【0078】図11は図10に示された回路の、ロジックスキャンテストにおける等価的な構成を示す回路図である。テストモード信号TESTが“1”となるので、セクタ50~57は省略されている。また、セクタ1j及びフリップフロップ3jの対は、スキャンフリップフロップSjとして略記されている。

【0079】以上のように本実施の形態では、ロジックテストを行う際に第1の読み出しポート群DO0~DO3が接続されるロジック部81と、第2の読み出しポート群DO4~DO7が接続されるロジック部82とに、互いに同じデータパターンを与えるので、書き込みポート数が読み出しポート数よりも少ないRAMに対しても実施の形態1の効果を得ることができる。【0080】勿論、実施の形態2乃至実施の形態4に示された回路も、本実施の形態において示された実施の形態1の変形と同様の変形を行うことができる。つまり、セクタ5k, 5(k+m), …5(k+nm)の“1”入力端をフリップフロップ3kの出力端に共通して接続すればよい(0≤k≤m-1, nは書き込みポート数に対する読み出しポート数の比よりも1小さい数)。

【0081】実施の形態5では、従来には読み出しポート群に用いられたスキャンフリップフロップの分だけ必要な面積は少なくなるという効果がある。

【0082】実施の形態6、実施の形態5では、ロジック部81, 82がそれぞれに入力するデータを独立して取り扱う場合には、有効なロジックテストを行うことができる。しかし、そうでない場合、例えばロジック部81, 82が一体となっていて、これらのそれぞれに入力するデータ同士の和を計算する場合には不適切な場合がある。これらのそれぞれのデータに同一の値が与えられることとなるためである。

【0083】図12は、第1の読み出しポート群DO0~DO3の出力と、第2の読み出しポート群DO4~DO7の出力との和が、ALU83によって求められる構成を示す回路図である。ALU83の第1の入力端群A0~A3及び第2の入力端群B0~B3には、それぞれ第1の読み出しポート群DO0~DO3の出力と、第2の読み出しポート群DO4~DO7の出力とが与えられ、和出力Y0~Y3が出力される。

【0084】図13は本実施の形態6の一つの形態を例示する回路図であり、実施の形態1に示された構成が変形されものが示されている。フリップフロップ30の出力はセクタ50, 52の“1”入力端に、フリップフロップ31の出力はセクタ51, 53の“1”入力端に、フリップフロップ32の出力はセクタ54, 56の“1”入力端に、フリップフロップ33の出力はセクタ55, 57の“1”入力端に、それぞれ与えられる。セクタ50~57の“0”入力端はそれぞれRAMコア93の出力端DO0~DO7に接続されている。セクタ50~53の出力端及びセクタ54~57の出力端は、それぞれALU83の第1の入力端群A0~A3及び第2の入力端群B0~B3に接続されている。

【0085】図14は図13に示された回路の、ロジックスキャンテストにおける等価的な構成を示す回路図である。テストモード信号TESTが“1”となるので、セクタ50~57は省略されている。また、セクタ1j及びフリップフロップ3jの対は、スキャンフリップフロップSjとして略記されている。

【0086】スキャンフリップフロップS0, S1はALU83の第1の入力端群A0~A3に、またスキャンフリップフロップS2, S3はALU83の第2の入力端群B0~B3に、互いに独立した2群のテストデータを与える。従って、両者の和を求めるALU83のテストを有効に行うことができる。

【0087】つまり、書き込み用のフリップフロップ30~33を、読み出しポート群毎にフリップフロップ30, 31と、フリップフロップ32, 33との組にして割り当てる。そして、各読み出しポート群に割り当てられた書き込み用のフリップフロップの出力をその読み出しポート群において重複して用いる。これにより、複数の読み出しポート群のそれぞれから得られて、互いに独立には扱われない複数のデータを処理するロジック部たるALU83のテストを有効に行うことができる。

【0088】各読み出しポート群に割り当てられた書き込み用のフリップフロップの出力をその読み出しポート群においてどのように重複して用いるかに関しては図13に示された構成以外のものも考えられる。

【0089】図15は本実施の形態6の他の形態を例示する回路図であり、実施の形態1に示された構成が変形されものが示されている。フリップフロップ30の出力はセクタ50, 51の“1”入力端に、フリップフロップ31の出力はセクタ52, 53の“1”入力端に、フリップフロップ32の出力はセクタ54, 55の“1”入力端に、フリップフロップ33の出力はセクタ56, 57の“1”入力端に、それぞれ与えられる。

【0090】図16は図15に示された回路の、ロジックスキャンテストにおける等価的な構成を示す回路図である。このような構成においても、図13に示された構成と同様の効果を示すことは当然である。

【0091】勿論、実施の形態2乃至実施の形態4に示された回路も、本実施の形態において示された実施の形態1の変形と同様の変形を行うことができ、従来には読み出しポート群に用いられたスキャンフリップフロップの分だけ必要な面積は少なくなる。

【0092】なお、一つの読み出しポート群に対してフリップフロップの出力が重複して用いられているため、ALU83についての故障検出率が十分でないことも考えられる。これを解決するために、図13及び図15の両方の回路を実現するようなセクタを挿入し、2回に分けてテストすることもできる。

【0093】実施の形態7、実施の形態1~実施の形態4においてはRAMの書き込み動作が同期式である場合について説明されているが、本発明において読み出し動作が同期式となるRAMを実現することもできる。

【0094】図17は実施の形態1で説明された図1の回路を、読み出し動作が同期式となるRAMに適用したものである。図1と同様に、セクタ50~52の“0”入力端及び“1”入力端には、それぞれRAMコア91の出力端DO0~DO2及び入力端DIO~DI2がそれぞれ接続されている。

【0095】しかし図1に示された回路とは異なり、図7に示された回路ではロジック部80の出力が直接にRAMコア91の入力端DIO~DI2に与えられている。そしてセクタ50~52の出力は、それぞれセクタ10~12の“0”入力端に与えられている。

【0096】セクタ10~12とフリップフロップ30~32との接続関係は図1に示されたものと同様である。そしてフリップフロップ30~32の出力がロジック部81に与えられる。

【0097】本実施の形態においても、その動作は表1に基づいて行われる。図18は、図17に示された回路の、通常動作における等価的な構成を示す回路図である。テストモード信号TEST及びシフトモード信号SMのいずれをも“0”に設定することで、ロジック部80の出力が直接にRAMコア91に入力し、RAMコア91の出力がフリップフロップ30~32を介してロジック部81に与えられる。つまり図1に示された回路は、通常動作においては非同期式の書き込み、同期式の読み出しが行われる。

【0098】図19は、図17に示された回路の、ロジックスキャンテストにおける等価的な構成を示す回路図である。テストモード信号TESTを“1”とすることで、図3と同じ構成を得ることができ、ロジック部80, 81のロジックスキャンテストを行うことができる。

【0099】勿論、実施の形態2乃至実施の形態4に示されたRAMテストを行う構成をもセクタ50~52とロジック部81の間に設けることにより、RAMテストを実行し、或いは更にテスト結果を圧縮することが可能である。

【0100】実施の形態の変形。実施の形態1~7では、通常のデータとスキャン信号とを入力とするセクタと、セクタの

出力を入力とするフリップフロップで構成されたスキャンフリップフロップで説明した。

【0101】例えば、通常のデータとスキャン信号とを入力とし、通常動作用のクロックとスキャンクロックを備えたスキャンフリップフロップに置き換えても実施の形態1～7の効果は変わらない。

【0102】例えば、レベル・センシティブ・スキャン・デザイン(LSSD)に用いられるシフトレジスタラッチに置き換えても実施の形態1～7の効果は変わらない。

【0103】

【発明の効果】この発明のうち請求項1にかかるテスト回路によれば、第1の選択手段が第3の回路の出力端群を前記第2の回路に選択的に接続する場合は、第3の回路の入力動作及び出力動作はそれぞれ同期式及び非同期式となる。一方、第1の選択手段がスキャンパスの出力端群を前記第2の回路に選択的に接続する場合は、第1及び第2の回路のロジックスキャンテストが行われる。両方の場合にスキャンフリップフロップが兼用されるので、エリアオーバーヘッドを抑制しつつもこれら2種の動作を行うことができる。

【0104】この発明のうち請求項2にかかるテスト回路によれば、第2の選択手段がスキャンパスの出力端群に与えられた信号を第3の回路に出力する場合には、請求項1記載のテスト回路の構成を得ることができる。一方、第2の選択手段が前記テストデータを第3の回路に出力することにより、第2のテストを行うことができる。

【0105】この発明のうち請求項3にかかるテスト回路によれば、通常動作時には第3の回路の入力に用いられていたフリップフロップが、第2の選択手段がテストデータを第3の回路に出力して第2のテストを行う場合では、第3の回路から出力される第2のテストのテスト結果をスキャン出力する機能を果たす。

【0106】この発明のうち請求項4にかかるテスト回路によれば、第2のテストを行う際にはMISR回路が構成されるので、圧縮されたテスト結果の良否を得ることができる。

【0107】この発明のうち請求項5にかかるテスト回路によれば、第3の回路の出力端毎に、第2のテストの結果に一旦不良が存在すれば、論理回路によってフリップフロップに所定の論理が固定されるので、不良が存在したことが記憶される。従って、圧縮されたテスト結果の良否を得ることができる。

【0108】この発明のうち請求項6にかかるテスト回路によれば、入力端数が出力端数よりも少ない第3の回路に対しても、請求項2の効果を得ることができる。

【0109】この発明のうち請求項7にかかるテスト回路によれば、グループ毎に区分された第3の回路の出力端は、異なるグループ毎に異なるスキャンパスの出力端に接続されるので、第2の回路に対して、互いに独立した複数のテストデータを与えることができる。